

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11002839 A**(43) Date of publication of application: **06 . 01 . 99**

(51) Int. Cl.

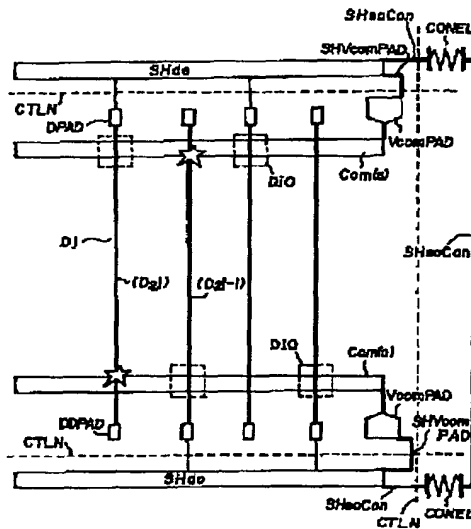
G02F 1/136**G02F 1/1345****G09F 9/30****H01L 29/786**(21) Application number: **09152342**(22) Date of filing: **10 . 06 . 97**(71) Applicant: **HITACHI LTD HITACHI DEVICE
ENG CO LTD**(72) Inventor: **HIROSHIMA MINORU
ISODA TAKASHI**(54) **ACTIVE MATRIX LIQUID CRYSTAL DISPLAY
DEVICE**

COPYRIGHT: (C)1999,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide the active matrix liquid crystal display device which can actualize short-circuit inspection between signal lines through a short bar and is equipped with electrostatic protecting circuit constitution capable of preventing problems of dielectric breakdown caused at an intersection part between the common line and a signal line of an electrostatic protecting circuit.

SOLUTION: Short bars SHde and SHdo of electrostatic protecting circuits of electrically independent even-numbered signal lines (group) D2j and odd-numbered signal lines (group) D2j-1 are coupled by a coupling element part CONEL consisting of a nonlinear element or high-resistance element and thus placed in an electrically connected state from a floating state. Consequently, both the even-numbered and odd-numbered electrostatic protecting circuit systems are held at the same potential and the intersection parts between the signal lines and common line are held at the same potential to prevent dielectric breakdown.



(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-2839

(43) 公開日 平成11年(1999) 1月6日

(51) Int.Cl.⁸
G 0 2 F 1/136
1/1345
G 0 9 F 9/30
H 0 1 L 29/786

識別記号
5 0 0
3 3 8

F I
G 0 2 F 1/136
1/1345
G 0 9 F 9/30
H 0 1 L 29/78
5 0 0
3 3 8
6 2 3 A

審査請求 未請求 請求項の数 6 O L (全 11 頁)

(21) 出願番号 特願平9-152342
(22) 出願日 平成9年(1997) 6月10日

(71) 出願人 000005108
株式会社日立製作所
東京都千代田区神田駿河台四丁目6番地
(71) 出願人 000233088
日立デバイスエンジニアリング株式会社
千葉県茂原市早野3681番地
(72) 発明者 廣島 實
千葉県茂原市早野3300番地 株式会社日立
製作所電子デバイス事業部内
(72) 発明者 磯田 高志
千葉県茂原市早野3681番地 日立デバイス
エンジニアリング株式会社内
(74) 代理人 弁理士 武 顯次郎

(54) 【発明の名称】 アクティブマトリクス型液晶表示装置

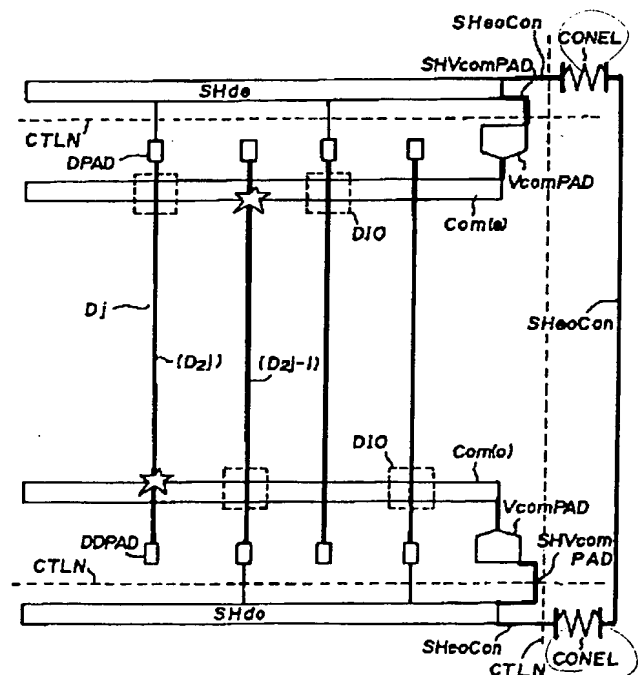
(57) 【要約】

【課題】 隣接信号線 D j 間ショート検査がショートバー
ショートバー SH d e、SH d o を介して一括して簡単
に行なえるようにしたアクティブ素子基板において、信
号線 D j と保護回路の共通線 Com (e)、Com
(o) との交差部での静電気による絶縁破壊に起因する
線表示不良を防止する。

【解決手段】 電氣的に独立していた偶数番目信号線

(群) D 2 j と奇数番目信号線 (群) D 2 j - 1 の静電
気保護回路系のショートバー SH d e、SH d o を非線
形素子あるいは高抵抗素子からなる結合素子部 CONE
L で結合し、両者をフローティング状態から電氣的に結
合された状態にする。これにより、偶数、奇数の両者の
静電気保護回路系が同電位になり、信号線と共通線の交
差部も同電位になり、絶縁破壊が防止できる。

図 1



1

【特許請求の範囲】

【請求項 1】表示画素を構成する電極群と前記表示画素を選択するスイッチング素子を少なくとも具備したアクティブ素子基板と、カラーフィルタを少なくとも具備したカラーフィルタ基板からなる一対の基板間に液晶を封止してなる液晶パネルから構成したアクティブマトリクス型液晶表示装置において、

前記液晶表示パネルを構成するアクティブ素子基板が、信号線を終端するショートバー及び信号線に非線形素子を介して結合した共通線を備え、前記ショートバーと共通線を電氣的に結合して、当該ショートバー間あるいは共通線間を非線形素子あるいは高抵抗素子で結合したことを特徴とするアクティブマトリクス型液晶表示装置

【請求項 2】前記ショートバーを、偶数番目信号線用ショートバー及び共通線と、奇数番目信号線用ショートバー及び共通線に分けた構成を有し、前記偶数番目信号線用ショートバーと共通線を電氣的に接続し、前記奇数番目信号線用ショートバーと共通線を電氣的に接続したことを特徴とする請求項 1 に記載のアクティブマトリクス型液晶表示装置。

【請求項 3】前記ショートバーを、偶数番目信号線用ショートバー及び共通線と、奇数番目信号線用ショートバー及び共通線に分けた構成を有し、偶数番目用ショートバーと奇数番目用ショートバーとの間、あるいは偶数番目信号線用共通線と奇数番目用信号線用共通線との間を、非線形素子または高抵抗素子で結合した構成を有することを特徴とする請求項 1 に記載のアクティブマトリクス型液晶表示装置。

【請求項 4】前記ショートバーの構成を映像信号線に適用したことを特徴とする請求項 2 または請求項 3 に記載のアクティブマトリクス型液晶表示装置。

【請求項 5】前記ショートバーの構成を走査信号線に適用したことを特徴とする請求項 2 または請求項 3 に記載のアクティブマトリクス型液晶表示装置。

【請求項 6】前記アクティブ素子基板の保護膜の上に画素透明電極を有し、ゲート絶縁膜の加工を保護膜の加工の後に一括して形成したゲート絶縁膜を有することを特徴とする請求項 1、2、3、4、または 5 に記載のアクティブマトリクス型液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、アクティブマトリクス型液晶表示装置に係り、更に詳しくは、スイッチング素子を有するアクティブ素子基板上に形成して当該アクティブ素子を静電気から保護する静電気保護回路を備えたアクティブマトリクス型液晶表示装置に関する。

【0002】

【従来の技術】静止画や動画を含めた各種の画像を表示するデバイスとして液晶表示装置が広く用いられている。

2

【0003】液晶表示装置は、基本的には少なくとも一方が透明なガラス等からなる二枚の基板の間に液晶層を挟持し、上記基板に形成した画素形成用の各種電極に選択的に電圧を印加して所定画素の点灯と消灯を行う形式、上記各種電極と画素選択用の薄膜トランジスタ (TFT) 等のスイッチング素子からなるアクティブ素子を形成してこのアクティブ素子を選択することにより所定画素の点灯と消灯を行う形式とに分類される。

【0004】特に、後者の形式の液晶表示装置はアクティブマトリクス型と称し、コントラスト性能、高速表示性能等から液晶表示装置の主流となっている。

【0005】アクティブマトリクス型液晶表示装置は、表示画素電極やスイッチング素子を形成したアクティブ素子基板とカラーフィルタ基板との間に液晶を挟んだ液晶パネルと、これに結合した電気回路部、光学回路部、他で形成されている。

【0006】従来のアクティブマトリクス型液晶表示装置は、一方の基板に形成した電極と他方の基板に形成した電極との間に液晶層の配向方向を変えるための電界を印加する、所謂縦電界方式を採用していた。

【0007】近年、液晶層に印加する電界の方向を基板面とほぼ平行な方向とする、所謂横電界方式 (IPS 方式) の液晶表示装置が実現された。この横電界方式の液晶表示装置としては、二枚の基板の一方に櫛歯電極を用いて非常に広い視野角を得るようにしたもの知られている (特公昭 63-21907 号公報、米国特許第 4345249 号明細書参照)。

【0008】そして、スイッチング素子を静電気から保護するための保護回路がアクティブ素子基板上に形成されている。

【0009】図 12 は従来のアクティブ素子基板の構成を説明する基板と直角方向から見た平面図、図 13 は図 12 の 1 画素付近の断面図である。なお、以下の説明において、アクティブ素子基板上に形成される映像信号線や走査信号線等の複数の各種信号線を単に「信号線」として記述するが、この「信号線」は「信号線群」も意味する。

【0010】図 12 において、Gi は走査信号線、Dj は映像信号線である。また、偶数番目の映像信号線は D2j、奇数番目の映像信号線は D2j-1 で示す場合もある。これらの配線交差部の傍には図示していないアクティブ素子であるスイッチング素子 (一般には TFT) が設けられる。

【0011】図 13 の断面図に示したように、TFT は基板 SUB 上に形成した走査信号線層の金属層 GM (ゲート Gd)、ゲート絶縁膜 Gin、半導体層 aSi、映像信号線層の金属層 DM、保護膜 PAS で構成される。

【0012】スイッチング素子の出力電極は液晶に電界を加えるための画素電極に接続されて、表示領域を構成する 2 次元状に配列した表示画素 (i, j) (i, j =

3

1、2、3、・・・)を形成している。この表示領域の外側のDPADは映像信号線に駆動電気回路を外部接続するための端子(D線外部接続端子)である。なお、これと反対側に設けたDDPADは断線検査などのプローブ端子(断線検査端子)である。同様にGPADは走査信号線に駆動電気回路を外部接続する為の端子(G線外部接続端子)である。

【0013】また、CTLNは基板SUBの切断線を示し、最終的にはこの線に沿って切断され、この切断線CTLNの外側にある後述するショートバーSHdeやSHdoなどは切り落とされる。

【0014】表示領域と映像信号線用の接続端子DPAD、走査信号線用の接続端子GPADの間に設けられた奇数側共通線Com(e)、偶数側共通線Com

(o)、走査共通線COM-Gと放電素子DIOが第一番目の静電気保護回路を形成している。

【0015】DIOは映像信号線Djや走査信号線Giに入った静電気を放電するための放電素子(非線型素子:スイッチング素子)で、走査信号線Giと映像信号線Dj毎に奇数側(EVEN側)共通線Com(e)、偶数側(ODD側)共通線Com(o)、走査共通線COM-Gとの間に設けられる。

【0016】これらの共通線Com(e)、Com(o)、COM-Gは放電した静電気を吸収する為の共通線であり、共通接続端子VcomPADや放電素子共通接続端子ESDPADに接続され、これを介してカラーフィルタ基板側の共通電極や外部電気回路に接続される。放電用素子DIOは、双方向ダイオード等の非線形素子を用いることが多い。

【0017】なお、この放電素子DIOの導入箇所は、同図に示した部分に限定されるものではなく、走査信号線Gi、映像信号線Djの端子GPAD、DPADの反対側あるいは両側に設ける場合もあれば、交互に反対側に設ける場合もある。

【0018】そして更に、第二番目の静電気保護回路が設けられる。図12において、基板切断線CTLNの外側にある奇数側と偶数側のショートバーSHde、SHdoあるいはSHgがこの第二の静電気保護回路を構成する要素例である。

【0019】これらのショートバーSHde、SHdo、SHgは外周部に設けられた配線であり、静電気を吸収するための線である。このショートバーSHde、SHdo、SHgに各信号線Gi、Djの終端が電氣的に結合されている。

【0020】この終端とショートバーSHde、SHdo、SHgとの結合箇所は、同図の場合に限定されるものではなく、走査信号線Gi、映像信号線Djの接続端子GPAD、DPADとの間で行う場合、反対側で行う場合、両側で行う場合、あるいは交互に反対側で行う場合などがある。

4

【0021】図14は表示画素部の構成を説明する平面図、図15は図14のb-b'線に沿った断面図であって、Giは走査信号線、Djは映像信号線であり、走査信号線Giの一部を延在させたGdがスイッチング素子(TFT)のゲート電極であり、映像信号線Djの一部を延在させたDdがスイッチング素子の信号電極(ドレイ電極)である。信号電極Ddと同層のSdは出力電極(ソース電極)であり、液晶に電界を加える透明画素電極ITOに接続されている。

【0022】aSiはスイッチング素子の半導体層、Cstは保持容量部であり、各画素(i,j)毎に設けられる。

【0023】図14と図15において、基板(ガラス基板)SUB上にまず第一の金属層である走査信号線GM(Gd)が形成される。その上にSiNx等のゲート絶縁膜Ginを積層後、半導体層aSiを形成し、更にその上に第二の金属層の映像信号線層DM(Dd、Sd)を加工形成する。

【0024】そして、その上にSiNx等の保護膜PASを形成し、最後に透明画素電極層ITOを形成する。出力電極Sdと透明画素電極ITOの結合は保護膜PASのスルーホールThを介して行なう。

【0025】ゲート絶縁膜Ginの加工は、保護膜PASのスルーホールThの加工時に同時に一括して形成することもできる構成をとっている。

【0026】このような図12～図15に例示したアクティブ素子基板の構成においては、本発明の係わる静電気保護回路は、次のような構成をとっている。

【0027】第一番目の静電気保護回路構成において、各映像信号線Djの非線形素子DIOが、図12に例示したように交互に反対側に設けられて上下に別れた構成をとり、それぞれが共通線Com(e)、Com(o)に結合されている。

【0028】すなわち、偶数番目の線(偶数番目の映像信号線を2jと表記)D2jと奇数番目の線(奇数番目の映像信号線を2j-1と表記)D2j-1が上、下に分かれて独立した構成をとっている。又、第二番目の静電気保護回路構成において、各映像信号線Djのショートバーとの結合が図12に例示したように、同様に偶数番目の映像信号線D2jと奇数番目の映像信号線D2j-1が上、下に分かれてショートバーSHdeとSHdoにそれぞれ結合された独立した構成をとっている。

【0029】このような構成をとることにより、アクティブ素子基板の完成後に行う各種の検査において、例えば、互いに隣接する映像信号線間のショート検査が、上下のショートバーSHdeとSHdoにプローブ針を当て、その間のショート検査を行うことで簡単に実現できることになる。

【0030】以上、映像信号線Djの場合について説明したが、走査信号線Giについても同様である。

【0031】

【発明が解決しようとする課題】上記した静電気保護回路の構成においては、次のような問題が発生した。

【0032】図16は図12の映像信号線D_jの静電気保護回路の構成例を抜き出して示す模式図であって、図12と同一符号は同一部分を示す。

【0033】同図において、偶数番目の信号線D_{2j}は、双方向保護ダイオードからなる非線形素子DIOを介して、上の偶数番目映像信号線用の偶数番目側共通線Com(e)に結合され、また信号線の終端は、外部端子側DPADの外側の偶数番目信号線用の偶数番目側ショートバーSHdeに結合されている。

【0034】奇数番目の信号線D_{2j-1}は、非線形素子DIOを介して、下の奇数番目映像信号線用の奇数番目側共通線Com(o)に結合され、また信号線の終端は、断線検査端子DDPADの外側の奇数番目の映像信号線用の奇数番目側ショートバーSHdoに結合されている。

【0035】このように、偶数番目信号線群と奇数番目信号線群は電氣的に独立した構成になっている。このため、隣接配線間のショート検査が、二つのショートバーSHdeとSHdoを通して一括して簡単に実現できる。

【0036】このような構成において、同図に☆印で示した箇所、すなわちフローティング電位にある偶数番目側共通線Com(e)と奇数番目の映像信号線D_jとの交差部、あるいは逆に奇数番目側共通線Com(o)と偶数番目の映像信号線D_jとの交差部において静電破壊を起こし、本来は絶縁されてるべき箇所が絶縁破壊状態になり、最終的には線表示不良になる問題が発生した。

【0037】従って、本発明の目的は、信号線間のショート検査がショートバーSHde、SHdoを介して簡単に実現できると共に、静電気保護回路の共通線と信号線の交差部で発生する絶縁破壊の問題を防止できる静電気保護回路構成を備えたアクティブマトリクス型液晶表示装置を提供することにある。

【0038】

【課題を解決するための手段】上記の目的と達成するために、本発明は、アクティブマトリクス型液晶表示装置を構成するアクティブ素子基板に形成された偶数番目信号線(群)と奇数番目信号線(群)の静電気保護回路系を非線形素子あるいは高抵抗素子で結合したことを特徴とする。

【0039】すなわち、本発明は下記の構成を備えたことを特徴とする。

【0040】(1)表示画素を構成する電極群と前記表示画素を選択するスイッチング素子を少なくとも具備したアクティブ素子基板と、カラーフィルタを少なくとも具備したカラーフィルタ基板からなる一対の基板間に液晶を封止してなる液晶パネルから構成したアクティブマ

トリクス型液晶表示装置において、前記液晶表示パネルを構成するアクティブ素子基板が、信号線を終端するショートバー及び信号線に非線形素子を介して結合した共通線を備え、前記ショートバーと共通線を電氣的に結合して、当該ショートバー間あるいは共通線間を非線形素子あるいは高抵抗素子で結合した。

【0041】(2)(1)における前記ショートバーを、偶数番目信号線用ショートバー及び共通線と、奇数番目信号線用ショートバー及び共通線に分けた構成を有し、前記偶数番目信号線用ショートバーと共通線を電氣的に接続し、前記奇数番目信号線用ショートバーと共通線を電氣的に接続した。

【0042】(3)(1)における前記ショートバーを、偶数番目信号線用ショートバー及び共通線と、奇数番目信号線用ショートバー及び共通線に分けた構成を有し、偶数番目用ショートバーと奇数番目用ショートバーとの間、あるいは偶数番目信号線用共通線と奇数番目用信号線用共通線との間を、非線形素子または高抵抗素子で結合した。

【0043】(4)(2)または(3)における前記ショートバーの構成を映像信号線に適用した。

【0044】(5)(2)または(3)における前記ショートバーの構成を走査信号線に適用した。

【0045】(6)(1)(2)(3)(4)または(5)における前記アクティブ素子基板の保護膜の上に画素透明電極を有し、ゲート絶縁膜の加工を保護膜の加工の後に一括して形成した。

【0046】これらの構成により、アクティブ素子基板に形成した信号線間のショート検査がショートバーSHde、SHdoを介して簡単に実現できると共に、静電気保護回路の共通線と信号線の交差部で発生する絶縁破壊を防止できる。

【0047】

【発明の実施の形態】絶縁破壊を起こす問題箇所は、前記図16に例示したように、偶数番目の信号線(群)共通線Com(e)と奇数番目信号線D_{2j-1}との交差部、あるいは逆に奇数番目信号線(群)共通線Com(o)と偶数番目信号線D_{2j}との交差部にある。前記したように、隣接配線間ショート検査がショートバーSHdeとSHdoの間で簡単に実現できるようにするために、静電気保護回路の構成は、偶数番目信号線(群)と奇数番目信号線(群)で電氣的に独立した構成をとっている。このため、両者はアクティブ素子基板単独の段階では電氣的には互いにフローティング状態である。なお、このアクティブ素子基板にカラーフィルタ基板を貼り合わせた後の状態では、共通線Com(e)、Com(o)に接続されたVcomPADを介してカラーフィルタ基板上の共通電極に接続されるため、フローティング状態から、共通線は同電位状態に維持でき、更に非線形素子DIOを介して、偶数番目信号線(群)と奇数

番目信号線（群）の静電気保護回路系は同電位に維持される。

【0048】アクティブ素子基板は単独の状態では電気的には互いにフローティング状態であるため、両者の間に静電気が蓄積される場合が起こると、問題箇所の交差部に帯電電位差が発生する。この電位差が交差部の絶縁破壊電圧以上になると絶縁破壊を起こして不良を招く。以上が、問題発生の原因である。

【0049】従って、本発明では、この原因を除去し、両者がアクティブ素子基板の段階において互いにフローティング状態にならないような構成の静電気保護回路を構築した。

【0050】以下、本発明の実施の形態につき、実施例の図面を参照して詳細に説明する。図1は本発明によるアクティブマトリクス型液晶表示装置用静電気保護回路の第1実施例の構成を示す模式図であって、図16の場合と同様に映像信号線Djの場合の静電気保護回路の構成例を抜き出して示し、図16と同一符号は同一部分に対応する。

【0051】この実施例では、偶数番目信号線（群）と奇数番目信号線（群）の静電気保護回路系の両者を従来のフローティング状態から避けるために、図1の構成では、図中の上側にある偶数側ショートバーSHdeと奇数側共通線Com(e)を結合線SHVcompPADで接続する。

【0052】同様に、図中の下側にある奇数側のショートバーSHdoと共通線Com(o)も結合線SHVcompPADで接続し、更に上下にある偶数側ショートバーSHdeと奇数側ショートバーSHdoを相互に電氣的に結合した。

【0053】上記電氣的結合は、結合線SHeoConと結合素子CONELを通して行う。この結合素子CONELは、後述するような非線形素子または高抵抗素子で構成される。

【0054】この実施例の構成により、偶数側のショートバーSHdeおよび奇数側のショートバーSHdoが互いに電氣的にフローティング状態から接続状態（同電位）になるようにしている。この結果、たとえ、偶数番目信号線（群）と奇数番目信号線（群）の両者の間に静電気が蓄積される場合が生じても、この静電気が上記の電氣的結合部を介して放電し、偶数番目信号線（群）と奇数番目信号線（群）の静電気保護回路系は同電位に維持され、絶縁破壊を起こす問題箇所となった共通線と信号線の交差部も同電位になり、帯電電位差が発生せず、絶縁破壊発生の原因を除去できる。

【0055】隣接信号線間のショート検査に関しては、結合素子CONELを後述のような非線形素子あるいは高抵抗素子で形成することにより、前記したような上下のショートバーSHdeとSHdo間の簡単な一括ショート検査を行うことができる。

【0056】図2は本発明によるアクティブマトリクス型液晶表示装置用静電気保護回路の第2実施例の構成を示す模式図であって、図1の実施例と同様に映像信号線Djの場合の静電気保護回路の構成例を抜き出して示し、図1と同一符号は同一部分に対応する。

【0057】この実施例では、偶数番目信号線（群）と奇数番目信号線（群）の静電気保護回路系の両者を従来のフローティング状態から避けるために、図中の上側にある偶数側ショートバーSHdeと偶数側共通線Com(e)を結合線SHVcompPADで接続し、同様に下側にある奇数側のショートバーSHdoと共通線Com(o)も結合線SHVcompPADで接続し、更に上下にある偶数側共通線Com(e)と奇数側共通線Com(o)を相互に電氣的に結合した。

【0058】この電氣的結合は、結合線SHeoConと結合素子部CONELを通して行う。結合素子部CONELは、後述するような非線形素子または高抵抗素子REMTで構成される。これにより、Com(e)およびCom(o)が互いに電氣的にフローティング状態から接続状態になる。

【0059】この実施例の構成により、偶数番目信号線（群）と奇数番目信号線（群）の両者の間に、たとえ静電気が蓄積されても、静電気はこの結合部を介して放電する。即ち、偶数番目信号線（群）と奇数番目信号線（群）の静電気保護回路系は同電位に維持され、絶縁破壊を起こす問題箇所となった共通線と信号線の交差部も同電位になり、帯電電位差が発生せず、絶縁破壊発生の原因を除去できる。

【0060】隣接信号線間のショート検査に関しては、結合素子部CONELを後述のような非線形素子あるいは高抵抗素子REMTで形成することにより、図1に示した第1実施例と同様に、上下のショートバーSHdeとSHdo間の簡単な一括ショート検査で行うことができる。

【0061】図3は上下ショートバーあるいは共通線を結合する結合線と結合素子部の具体例を説明する模式図、図4は結合部の等価回路図、図5は結合部の他の等価回路図である。

【0062】図3に示したように、上下ショートバーSHde、SHdoあるいは共通線Com(e)、Com(o)を結合する結合線SHeoConと結合素子部CONELはショートバーSHdeとSHdo間あるいは共通線Com(e)とCom(o)間に導入した結合素子部CONELと接続端10a、10bで接続された結合線SHeoConで結合部位が構成される。

【0063】結合素子部CONELの結合素子REMTは非線形素子あるいは高抵抗素子であり、リーク電流を制限して前記した簡略一括ショート検査を保証し、かつ静電気を放電して電位発生を抑制する二つの機能を両立させる素子である。

【0064】図4の(a)はダイオード接続したトランジスタを用いた非線形素子DIO1とDIO2を相補接続してなり、同図(b)はダイオードを用いた非線形素子DIO1とDIO2を相補接続した場合の結合素子部CONELの等価回路例である。

【0065】また図5は高抵抗素子RGTを用いた結合素子REMTを備えた結合素子部CONELの等価回路例である。

【0066】このような非線形素子DIOや高抵抗素子RGTを必要に応じて複数個並列に組み合わせて導入される。

【0067】なお、図4、図5に示したGDC1、GDC2、GD1、GD2、Dd1、Dd2、Sd1、Sd2、Sda、Sdbは後述の図6～図9における同一符号部分に対応させるためのものである。

【0068】図6は図4(a)に示した結合素子部の平面構成図、図7は図6のd-d'線に沿った断面図である。

【0069】また、図8は図5に示した結合素子部の平面構成図、図9は図8のe-e'線に沿った断面図である。

【0070】図6および図7に示した双方向ダイオード構成において、ゲート電極GD1、GD2と出力電極Dd1、Dd2の電気的接続GDC1、GDC2は、図12、図14、図15で説明した構成と全く同様に、スルーホールTh11とTh12およびTh21とTh22を介して透明電極ITOに接続することで実現している。

【0071】また、図8および図9に示した高抵抗素子RGTを用いた構成において、高抵抗素子RGTは半導体層asiを接続端10a、10bの一部である第二金属層SdaとSdbでブリッジした構造で実現している。

【0072】これらの構成により、アクティブ素子基板に形成した信号線間のショート検査をショートバーSHde、SHdoを介して簡単に実現できると共に、静電気保護回路の共通線と信号線の交差部で発生する絶縁破壊が防止される。

【0073】なお、上記各実施例では、映像信号線Djの場合について説明したが、本発明はこれに限定されるものではなく、走査信号線Giに対しても全く同様に適用できる。

【0074】又、上記各実施例では、透明電極を保護膜PASの上に形成した所謂ITOトップ構造で、また、ゲート絶縁膜Ginの加工をPAS膜の加工と同時に一括して行うことが可能な構造について説明したが、本発明はこれに限定されるものではなく、他の基板構成に対しても全く同様に適用できる。

【0075】図10は本発明によるアクティブマトリクス型液晶表示装置の全体構成を説明する展開斜視図であ

る。

【0076】同図は本発明による液晶表示装置（以下、液晶表示パネル、回路基板、バックライト、その他の構成部材を一体化したモジュール：MDLと称する）の具体的構造を説明するものである。

【0077】SHDは金属板からなるシールドケース（メタルフレームとも言う）、WDは表示窓、INS1～3は絶縁シート、PCB1～3は回路基板（PCB1はドレイン側回路基板：映像信号線駆動用回路基板、PCB2はゲート側回路基板、PCB3はインターフェース回路基板）、JN1～3は回路基板PCB1～3同士を電気的に接続するジョイナ、TCP1、TCP2はテープキャリアパッケージ、PNLは液晶表示パネル、GCはゴムクッション、ILSは遮光スペーサ、PRSはプリズムシート、SPSは拡散シート、GLBは導光板、RFSは反射シート、MCAは一体化成形により形成された下側ケース（モールドフレーム）、MOはMCAの開口、LPは蛍光管、LPCはランプケーブル、GBは蛍光管LPを支持するゴムブッシュ、BATは両面粘着テープ、BLは蛍光管や導光板等からなるバックライトを示し、図示の配置関係で拡散板部材を積み重ねて液晶表示モジュールMDLが組立てられる。

【0078】液晶表示モジュールMDLは、下側ケースMCAとシールドケースSHDの2種の収納・保持部材を有し、絶縁シートINS1～3、回路基板PCB1～3、液晶表示パネルPNLを収納固定した金属製のシールドケースSHDと、蛍光管LP、導光板GLB、プリズムシートPRS等からなるバックライトBLを収納した下側ケースMCAとを合体させてなる。

【0079】映像信号線駆動用回路基板PCB1には液晶表示パネルPNLの各画素を駆動するための集積回路チップが搭載され、またインターフェース回路基板PCB3には外部ホストからの映像信号の受入れ、タイミング信号等の制御信号を受け入れる集積回路チップ、およびタイミングを加工してクロック信号を生成するタイミングコンバータTCN等が搭載される。

【0080】上記タイミングコンバータで生成されたクロック信号はインターフェース回路基板PCB3および映像信号線駆動用回路基板PCB1に敷設されたクロック信号ラインCLLを介して映像信号線駆動用回路基板PCB1に搭載された集積回路チップに供給される。

【0081】インターフェース回路基板PCB3および映像信号線駆動用回路基板PCB1は多層配線基板であり、上記クロック信号ラインCLLはインターフェース回路基板PCB3および映像信号線駆動用回路基板PCB1の内層配線として形成される。

【0082】なお、液晶表示パネルPNLにはTFTを駆動するためのドレイン側回路基板PCB1、ゲート側回路基板PCB2およびインターフェース回路基板PCB3がテープキャリアパッケージTCP1、TCP2で

10

20

30

40

50

接続され、各回路基板間はジョイナ J N 1, 2, 3 で接続されている。

【0083】液晶表示パネル PNL は前記した本発明によるアクティブマトリクス型液晶パネルであり、そのアクティブ素子基板の絶縁破壊防止のための構成は前記実施例で説明した通りである。

【0084】図 11 は本発明による液晶表示装置を実装した情報処理装置の一例を説明するパソコンの外観図であって、前記各図と同一符号は同一部分に対応し、I V は蛍光管駆動用のインバータ電源、C P U はホスト側中央演算装置である。

【0085】同図に示されたように、本発明による液晶表示装置を実装したパソコンは、映像信号線駆動用回路基板（水平駆動用回路基板：ドレイン側回路基板）P C B 1 を画面の上部にのみ配置したことで、当該表示部の下側（キーボード側）のスペースに余裕ができ、キーボード部と表示部を結合するヒンジの設置スペース（ヒンジスペース）が少なく済む。したがって、表示部の外形サイズを低減でき、パソコン全体のサイズを小さくすることが可能となる。

【0086】

【発明の効果】以上説明したように、本発明によれば、アクティブマトリクス型液晶表示装置を構成するアクティブ素子基板に形成された隣接信号線間のショート検査をショートバーを通して一括して簡単に実現できると共に、静電気保護回路の共通線と信号線の交差部での電位差発生による絶縁破壊を防止することができる。

【図面の簡単な説明】

【図 1】本発明によるアクティブマトリクス型液晶表示装置用静電気保護回路の第 1 実施例の構成を示す模式図である。

【図 2】本発明によるアクティブマトリクス型液晶表示装置用静電気保護回路の第 2 実施例の構成を示す模式図

である。

【図 3】上下ショートバーあるいは共通線を結合する結合線と結合素子部の具体例を説明する模式図である。

【図 4】図 3 における結合部の等価回路図である。

【図 5】図 3 における結合部の他の等価回路図である。

【図 6】図 4 (a) に示した結合素子部の平面構成図である。

【図 7】図 6 の d - d' 線に沿った断面図である。

【図 8】図 5 に示した結合素子部の平面構成図である。

【図 9】図 8 の e - e' 線に沿った断面図である。

【図 10】本発明によるアクティブマトリクス型液晶表示装置の全体構成を説明する展開斜視図である。

【図 11】本発明による液晶表示装置を実装した情報処理装置の一例を説明するパソコンの外観図である。

【図 12】従来のアクティブ素子基板の構成を説明する基板と直角方向から見た平面図である。

【図 13】図 12 の 1 画素付近の断面図である。

【図 14】表示画素部の構成を説明する平面図である。

【図 15】図 14 の b - b' 線に沿った断面図である。

【図 16】図 12 の映像信号線 D j の静電気保護回路の構成例を抜き出して示す模式図である。

【符号の説明】

G i 走査信号線

D j 映像信号線

S H d e 偶数番目信号線用ショートバー

S H d o 奇数番目信号線用ショートバー

C o m (e) 偶数番目信号線用共通線

C o m (o) 奇数番目信号線用共通線

S H V c o m P A D ショートバーと共通線の結合線

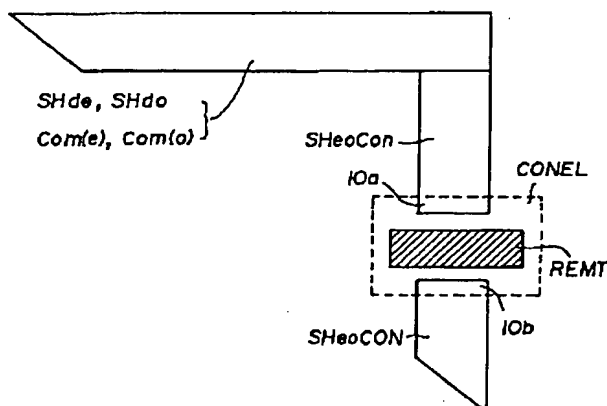
S H e o C o n ショートバー間又は共通線間の結合線

C O N E L ショートバー間又は共通線間の結合素子部

R E M T 結合素子。

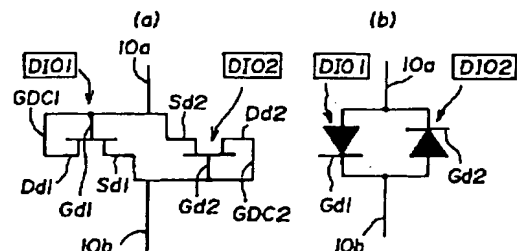
【図 3】

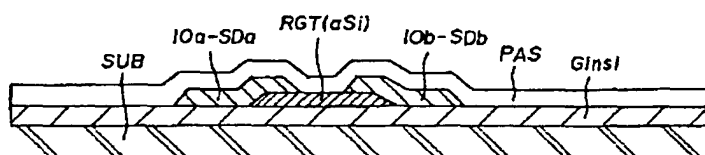
図 3



【図 4】

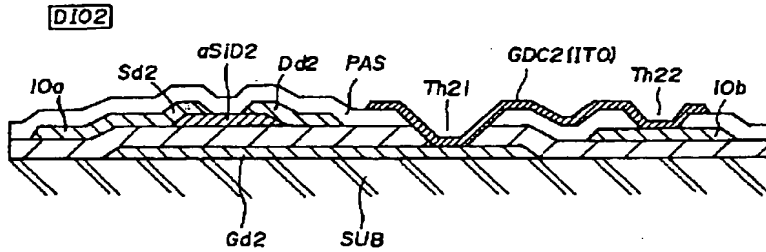
図 4





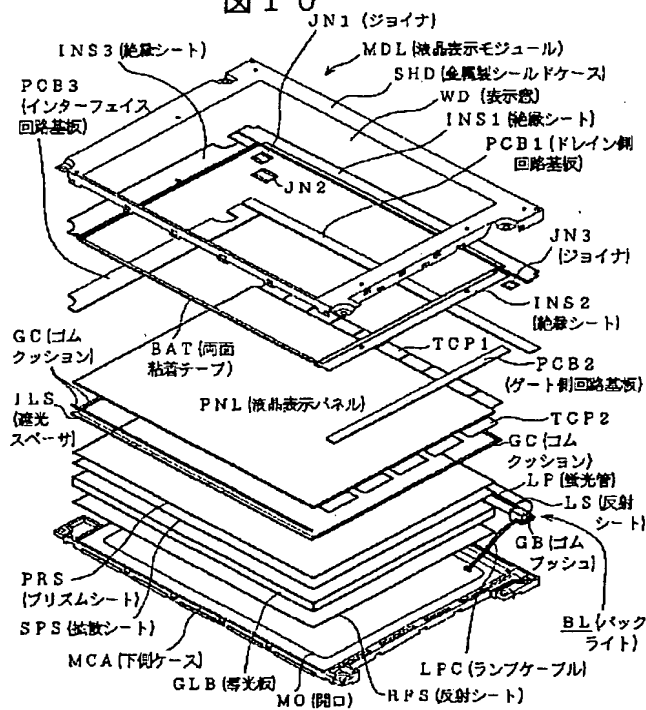
【図 7】

図 7



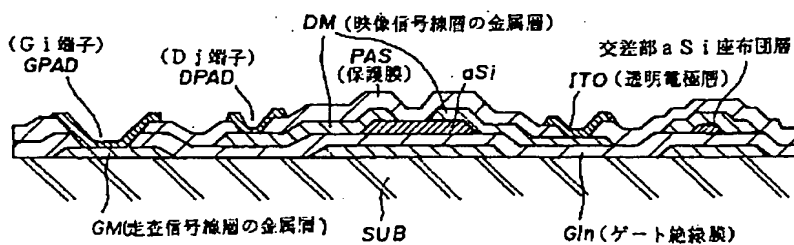
【図 10】

図 10



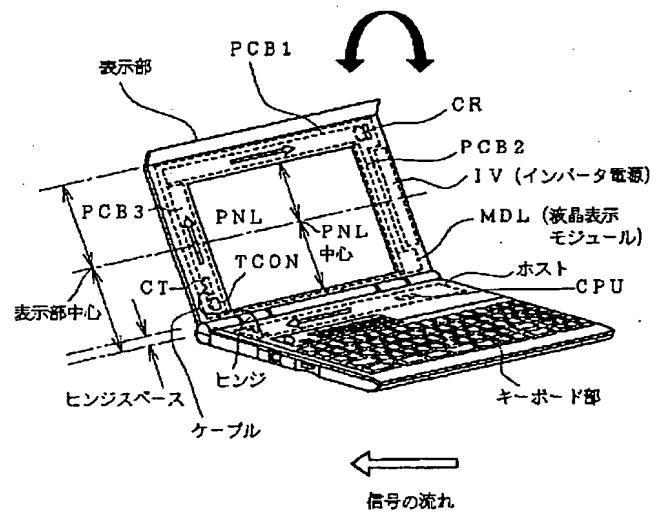
【図 13】

図 13



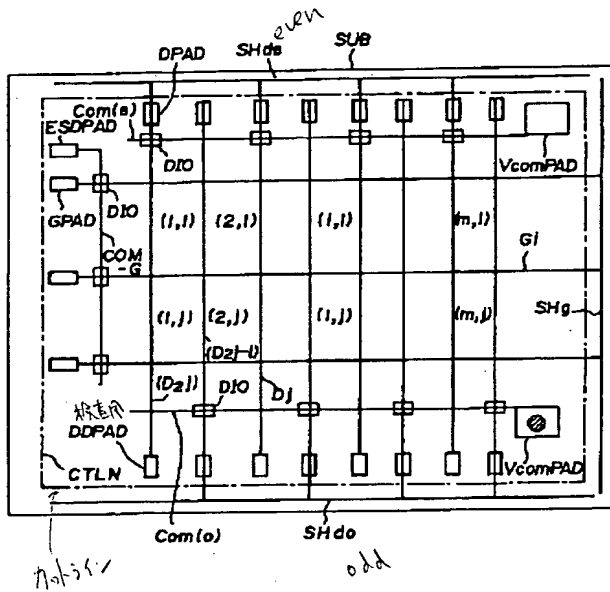
【図 11】

図 11



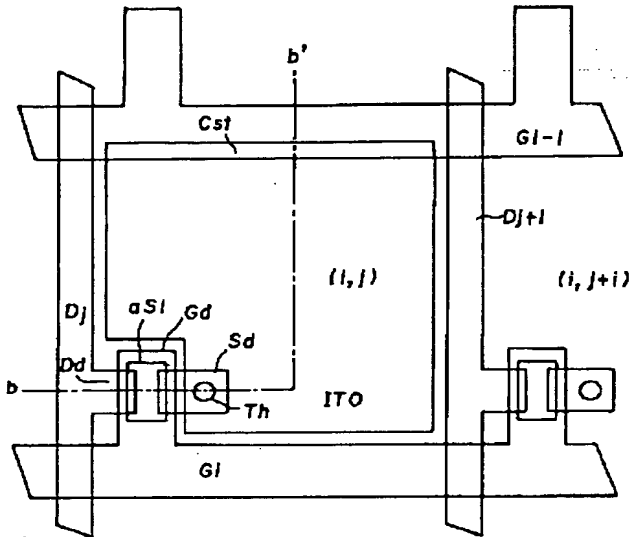
【図 12】

図 12



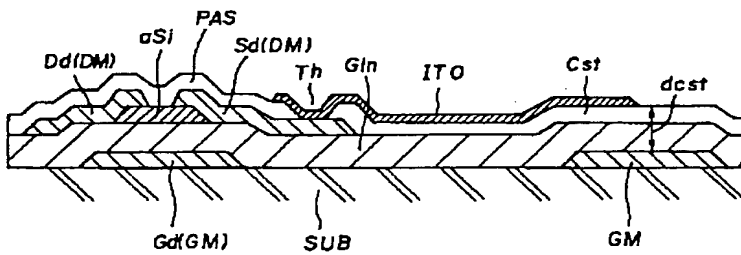
【図 14】

図 14



【図 15】

図 15



【図 1 6】

図 16

